
規則音声合成 LSI MICRO TALK
ATS001A/B 技術資料 Ver.1.16

ACT BRAIN

目次

1.	概要.....	1
2.	ピン配置.....	2
3.	端子説明.....	3
3.1	信号関連.....	3
3.2	電源関連、その他.....	4
4.	電気的特性.....	5
4.1	絶対最大定格.....	5
4.2	DC 特性.....	6
5.	LSI 機能.....	7
5.1	CLK 回路(セラミック発振子/水晶振動子).....	7
5.2	/RESET 回路.....	7
5.3	音声出力回路.....	8
5.4	FCLK による S.C.F.....	9
5.5	アシンクロナス・シリアルインターフェイス(UARTA).....	10
5.6	I/O 制御.....	11
5.7	RDY/BUSY 出力.....	12
5.8	ERROR 出力.....	12
5.9	EEPROM インターフェース (I2C-I/F).....	13
5.10	電源周辺回路.....	14
5.11	SLEEP 機能 (B バージョンのみ).....	15
6.	外形寸法図.....	16

1. 概要

ATS001A(Aバージョン)/ATS001B(Bバージョン)は、かな表記音声記号列データを1チップで音声に変換する日本語対応の規則音声合成LSIです。このLSIをアプリケーションに組み込むだけで、シリアルインターフェースを介して簡単に任意のテキストを音声に変換することが可能です。ひらがなやカタカナの他、数値の読み上げも可能なため、幅広いアプリケーションで音声合成を実現することができます。

1.1 概略仕様

- 電源 +3.3V (2.85~3.6 [V]) typ 32mA
- 水晶発振回路内蔵 5MHz
- 音声出力 アナログ(音声帯域 4kHz)、出力範囲 : 0~3.3V ※ VCCA = 3.3V
- シリアルインターフェース (非同期、8bit、38,400bps)
- シリアル EEPROM I/F(I2C)
- RoHS 指令規制対応

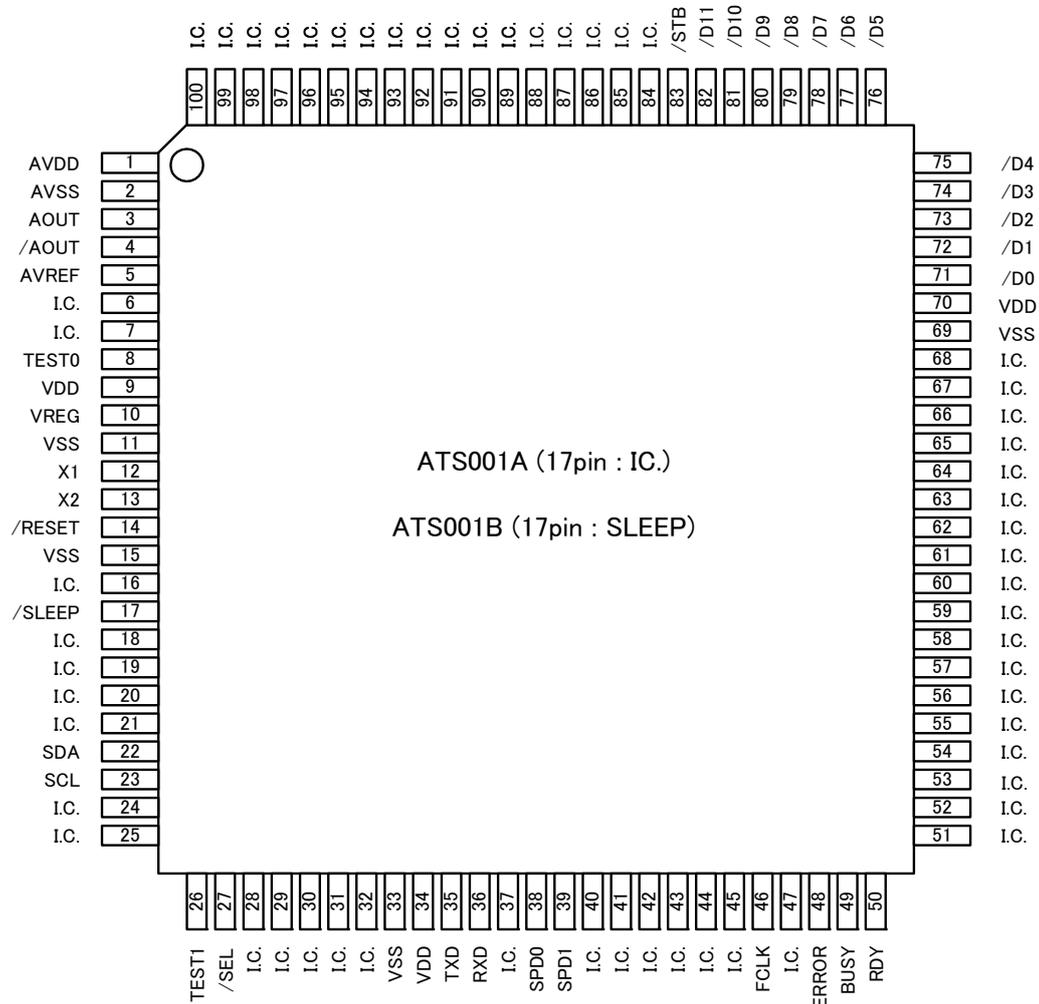
1.2 バージョンによる相違点

ATS001A(Aバージョン)/ATS001B(Bバージョン)の相違点は、下記の2点です。

- ① 低消費電流モードの追加(Aバージョン品は未対応)
- ② 外部メモリ 64~512kbit に対応(Aバージョン品は 64kbit のみ対応)

※ ATS001B が現行の標準品です。

2. ピン配置



100ピン プラスチック LQFP (14×14mm)

- ※ Bバージョンでは SLEEP モード機能が追加されており、17 番ピンに信号を割りつけています。
SLEEP モード機能を使用されない場合はプルアップ処理をお願い致します。

3. 端子説明

3.1 信号関連

ピン	端子名	I/O	説明
3	AOUT	O	音声出力端子です。(0~AVREF0 [V])
4	/AOUT	O	音声出力端子です。(0~AVREF0 [V]) ※ AOUT の反転出力
12	X1	I	水晶またはセラミック発振子接続端子 (5MHz) ※ 外部クロックは使用できません。
13	X2	-	水晶またはセラミック発振子接続端子
14	/RESET	I	LOW レベルでリセットされます。
17	/SLEEP (IC.)	I	パワーダウンからの復帰用端子 (B バージョンのみ) ※ A バージョンでは、IC.となります。 A バージョンまたは未使用時は、抵抗を介して VDD に接続してください
22	SDA	I/O	I2C I/F SDA 信号。シリアルメモリ用です。 ※ 未使用時は抵抗を介して VDD に接続してください
23	SCL	I/O	I2C I/F SCL 信号。シリアルメモリ用です。 ※ 未使用時は抵抗を介して VDD に接続してください
27	/SEL	I	LOW レベルで I/O 端子及び SPD 端子が有効になります。(P9,10)
35	TXD	O	シリアル送信端子です。
36	RXD	I	シリアル受信端子です。
38, 39	SPD 0, 1	I	シリアル通信の速度を設定します。
46	FCLK	OD	400kHz 固定出力。スイッチド・キャパシタ・フィルタ用 オープンドレイン出力で、5Vトレイラントです。
48	ERROR	O	音声書式 ERROR 時、HI レベルになります。
49	BUSY	O	音声出力中、HI レベルになります。
50	RDY	O	音声出力可能になると、HI レベルになります。 ※ BUSY 中は LO
71	/D0	I	I/O 端子 音声パターンの設定(負論理) ※ 未使用時は抵抗を介して VDD に接続してください ※ I/O 機能自体を使用しない場合は、全て GND に接続しても問題ありません
72	/D1		
73	/D2		
74	/D3		
75	/D4		
76	/D5		
77	/D6		
78	/D7		
79	/D8		
80	/D9		
81	/D10		
82	/D11		
83	/STB	I	/D11~ /D0 入力の有効信号です。 未使用時は、抵抗を介して VDD に接続してください。

3.2 電源関連、その他

ピン	端子名	I/O	説明
8, 26	TEST0~1	I	TEST 用端子です。 全て GND に接続してください。
10	VREG	-	内部電源用(Typ 2.5[V])のコンデンサを接続します。(4.7uF)
1	AVDD	I	内部 A/D コンバータの基準電源です。 本製品では未使用ですが、かならず、下記条件で電源を供給してください。 VDD = AVDD = AVREF で使用してください。
5	AVREF	I	AOUT、/AOUT 用基準電源です。 最大電圧は、この入力で規定されます。 VDD = AVDD = AVREF で使用してください。
2	AVSS	-	アナログ用回路 GND です。
9, 34, 70	VDD	-	デジタル用電源です。 VDD = AVDD = AVREF で使用してください。
11, 15, 33, 69	VSS	-	デジタル用の GND です。
右欄参照	I.C.	-	本製品では未使用です。必ず OPEN にしてください。 ※ 該当端子は下記のとおりです 6, 7, 16, 18, 19, 20, 21, 24, 25, 28, 29, 30, 31, 32, 37, 40, 41, 42, 43, 44, 45, 47, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100

4. 電気的特性

4.1 絶対最大定格

項目	記号	条件	定格	単位
電源電圧	VDD	-	- 0.5~+ 4.6	V
	AVREF	-	- 0.5~+ 4.6	V
	VSS	-	- 0.5~+ 0.5	V
	AVSS	-	- 0.5~+ 0.5	V
入力電圧	VI1	X1,X2	- 0.5~VREG + 0.5 * 注1	V
	VI2	FCLK	- 0.5~+ 6.0	V
	VI3	上記以外	- 0.5~VDD + 0.5	V
ロウレベル出力電流	IOL	-	4	mA
ハイレベル出力電流	IOH	-	- 4	mA
動作周囲温度	TA	-	- 40 ~ + 85	°C
保存温度	Tstg	-	- 40 ~ + 125	°C

* 注1. VREG は内蔵電源電圧 (typ 2.5[V])

4.2 DC 特性

(VDD = 2.85~3.6V, VSS = 0V, AVREF = VDD, TA = -40~85°C)

項目	記号	条件	MIN.	TYP.	MAX.	単位
“H” 入力電圧	VIH1	/RESET	0.8 VDD	-	VDD	V
	VIH2	上記以外	0.7 VDD	-	VDD	V
“L” 入力電圧	VIH1	/RESET	VSS	-	0.2 VDD	V
	VIH2	上記以外	VSS	-	0.3 VDD	V
“H” 入力リーク電流	ILH	VI = VDD	-	-	5	μ A
“L” 入力リーク電流	ILL	VI = 0 [V]	-	-	-5	μ A
“H” 出力電圧	VOH1	FCLK	-	-	5.5	V
	VOH2	IOH = -1.0mA	VDD - 1.0	-	VDD	V
		IOH = -100 μ A	VDD - 0.5	-	VDD	V
	VOH3	IOH = -1.0mA	VDD - 1.0	-	VDD	V
		IOH = -100 μ A	VDD - 0.5	-	VDD	V
“L” 出力電圧	VOL	全端子	0	-	0.4	V
“H” 入力リーク電流	ILH	VI = VDD	-	-	5	μ A
“L” 入力リーク電流	ILL	VI = 0 [V]	-	-	-5	μ A
電源電圧	VDD		2.85	3.3	3.6	V
電源電流	IDD	通常動作時	-	32	48	mA
		SLEEP 時	-	-	50	μ A
アナログ基準電源	AREF		3.0	-	3.6	V
アナログ基準電流	IREF		-	1	2.5	mA
アナログ電源	AVDD		3.0	-	3.6	
アナログ電源電流	IAVDD	通常動作時	-	-	10	mA
		SLEEP 時	-	-	10	μ A

5. LSI 機能

5.1 CLK 回路(セラミック発振子/水晶振動子)

周波数 5MHz(±1%以下)

<参考>

評価基板の使用部品

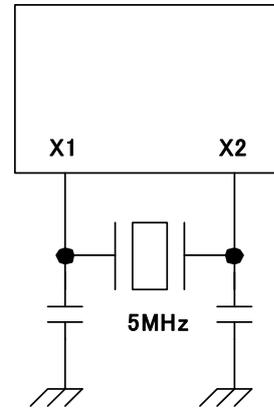
型式:CSTCR5M00G55-R0 (村田製作所製)

コンデンサ内蔵

※ 他の信号と交差させずに、なるべく短く配線してください。

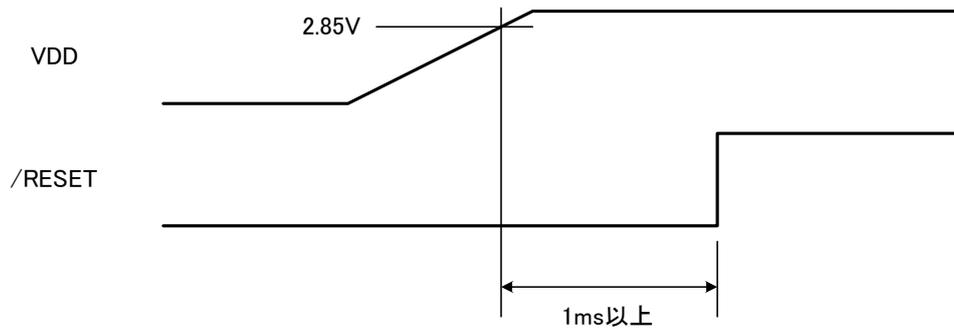
※ この LSI は、外部クロックによる駆動はできません。

必ず振動子をご用意ください。



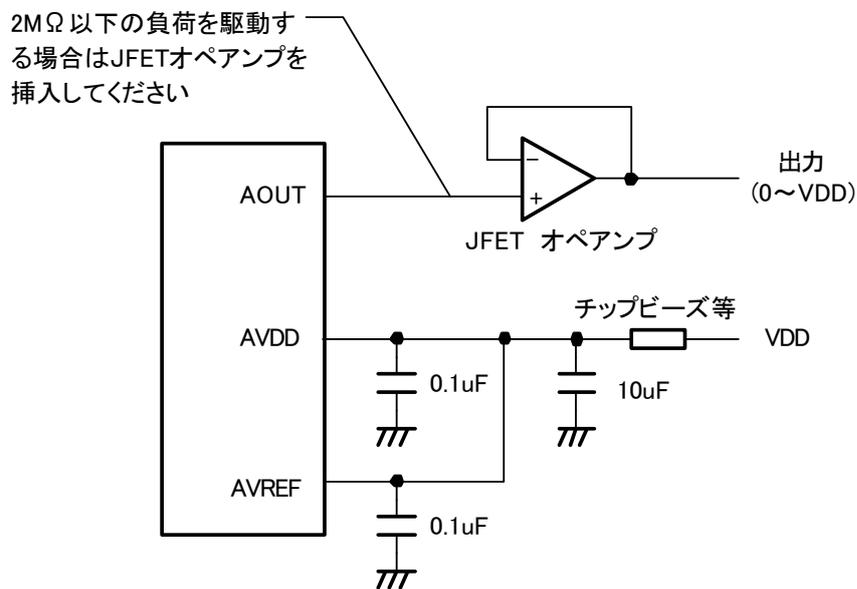
5.2 /RESET 回路

内部電源が安定するまで、/RESET は解除しないでください。

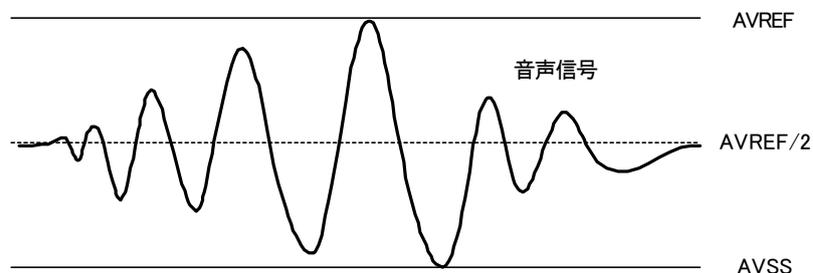


5.3 音声出力回路

- (1) AOUT(音声出力)は、バッファ及びスピーカ駆動アンプ等を内蔵していません。
 このため、出力インピーダンスが高く、 $2M\Omega$ 以下の負荷では出力精度が下がります。
 このような場合には、外部にJFET入力のおペアンプを用意してください。
- (2) $VDD = AVDD = AVREF$ で使用してください。ただし、VDDを直接接続するとデジタル側の電源変動を受けやすくなるため、チップビーズ等で高周波なノイズをカットするとともに、高周波特性の良いコンデンサを接続して、電源変動を抑えるようにしてください。



- (3) 音声出力は、無音時で $AVREF/2$ [V] になります。
 出力時の最大値は $AVREF$ [V]、最小値は $AVSS$ [V]になります。



音声出力波形

- (4) 音声信号の帯域は 4kHz ですが、内部のデジタル処理の関係で、D/A のサンプリング周期は 16kHz で行っています。したがって、16kHz を中心としたノイズ成分が存在し、この出力をそのままアンプに接続すると、これが音声データに重畳されてビート音として聞こえます。

音質を向上させる場合は、外部に L.P.F をご用意ください。

- ※ L.P.F条件 : カットオフ周波数 4kHz、2 次以上(4 次程度がベスト)
または、【5.4 FCLK による S.C.F】を参照。

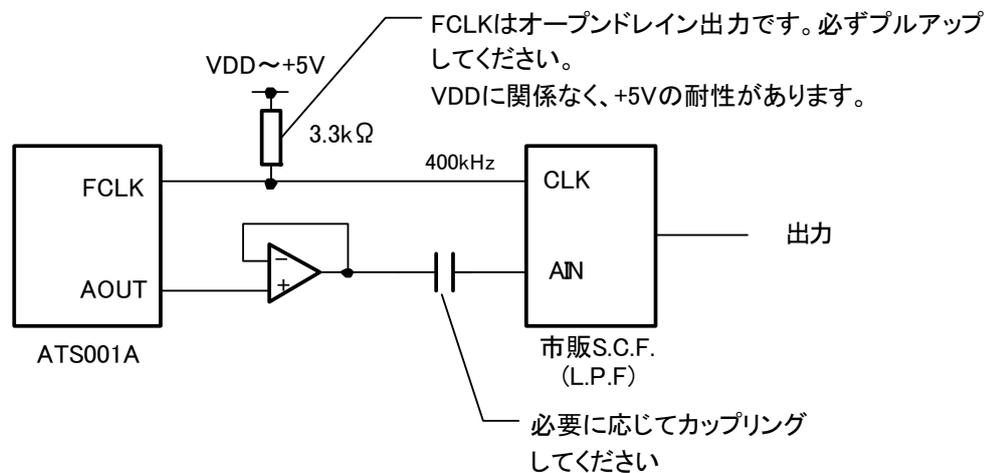
5.4 FCLK による S.C.F

外部に用意する L.P.F 回路を簡単に構成できるように、市販のスイッチド・キャパシタ・フィルタ (S.C.F.) 用の FCLK(400kHz) を用意しています。(*1)

通常、S.C.F.はカットオフ周波数の $\times 50$ または $\times 100$ の周波数を入力しますが、FCLK は、カットオフ周波数を 4kHz とし、その $\times 100$ の 400kHz を出力します。

FCLK はオープンドレイン出力です。VDD に関係なく、+5V の耐性があります。

S.C.F.によっては、CLK の入力しきい値(HI レベル)が 3.3V では不足する場合があります。この場合は、プルアップ抵抗に印加する電圧で調整してください。



(*1) スイッチド・キャパシタ・フィルタ(S.C.F.)

コンデンサをスイッチングすることで、L.P.F.を実現している。IC 化が比較的容易なため、高次の特性を有しながら、外部 CLK の周波数でカットオフ周波数を変更できるというメリットがあります。

短所としては、CLK ノイズが出力に重畳されるため、無音区間でのノイズレベルが増加する傾向があります。

5.5 アシクロナス・シリアルインターフェイス(UARTA)

調歩同期シリアルインターフェースで、外部 HOST 間でコマンドやデータのやり取りを行います。
EIA-232D (RS - 232C) 用のトランシーバを接続することで、パソコン・シーケンサー・各種制御機器と接続することが可能です。

通信フォーマット

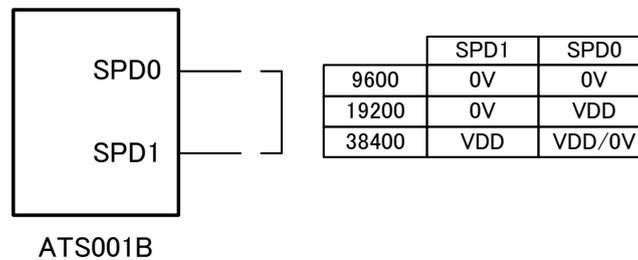
通信速度 : 9600 / 19200 / 38400bps ※ 設定は下図参照

データ長 : 8bit(固定)

パリティ : なし

ストップ bit : 1bit

デリミタ : CR



- ※ 通信コマンド仕様は、別冊「規則音声合成 LSI シリアル通信仕様」を参照してください。
なお、1 回で送信できる文字数の最大値は 256byte です。(コマンド名等のヘッダー部分は除く)
- ※ 通信速度を変更する場合は、本 LSI を一度リセットしてください。動作中の変更はできません。
- ※ /SEL 端子(27pin) が Hi レベルの場合上記設定は無効となり、通信速度は固定で”38400bps”になります。

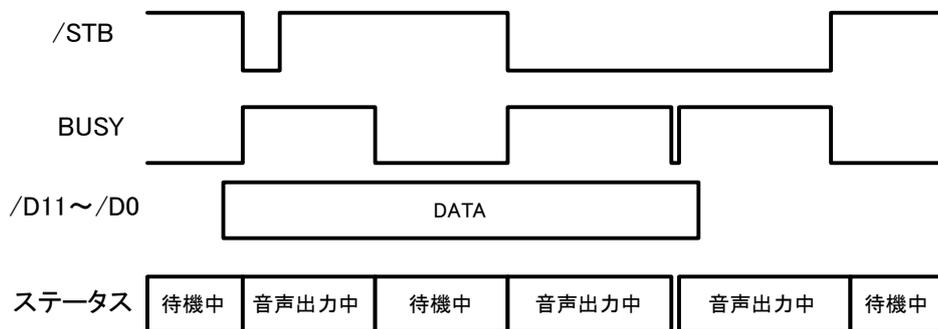
5.6 I/O 制御

本 LSI では、EEPROM に記録されている音声データを、I/O 制御端子を使用して発話させることができます。この機能により、シリアルインターフェースを使用しなくても制御することが可能になります。

※ 詳細は、【5.9 EEPROM インターフェース】を参照してください。

※ この機能を有効にする場合は、/SEL 信号(27pin)を LOW レベルにする必要があります。

BUSY 以外の状態で、/STB 信号が LOW レベルになると、/D11～/D0 のデータを取り込んで音声を出します。/STB を LOW に固定すると、繰り返し音声を出します。



I/O フォーマット

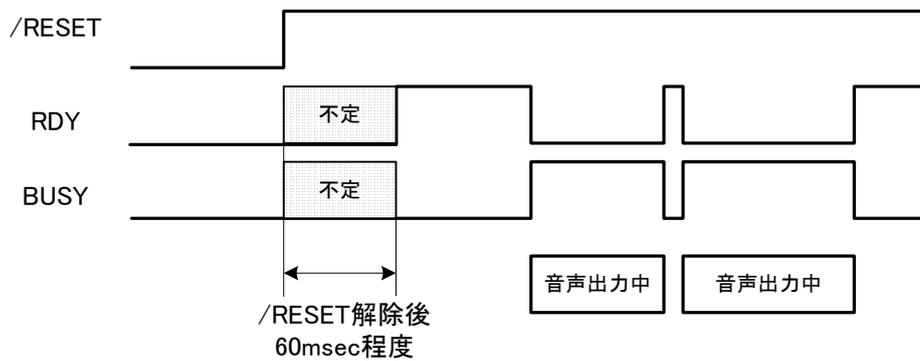
/D11 ~ /D0												Data No.	
11	10	9	8	7	6	5	4	3	2	1	0		
H	H	H	H	H	H	H	H	H	H	H	H	H	1
H	H	H	H	H	H	H	H	H	H	H	H	L	2
H	H	H	H	H	H	H	H	H	H	H	L	H	3
H	H	H	H	H	H	H	H	H	H	L	L	L	4
H	H	H	H	H	H	H	H	H	L	H	H	L	5
⋮													
L	L	L	L	L	L	L	L	L	L	H	L	H	4091
L	L	L	L	L	L	L	L	L	L	H	L	L	4092
L	L	L	L	L	L	L	L	L	L	L	H	H	チャイム 1
L	L	L	L	L	L	L	L	L	L	L	H	L	チャイム 2
L	L	L	L	L	L	L	L	L	L	L	L	H	拡張用
L	L	L	L	L	L	L	L	L	L	L	L	L	拡張用

※ 4093～4096 は EEPROM データではなく、本 LSI 内蔵のチャイム音となります。

5.7 RDY/BUSY 出力

RDY 出力は、音声出力が可能になると HI レベルになります。また、音声出力中は LO レベルになります。

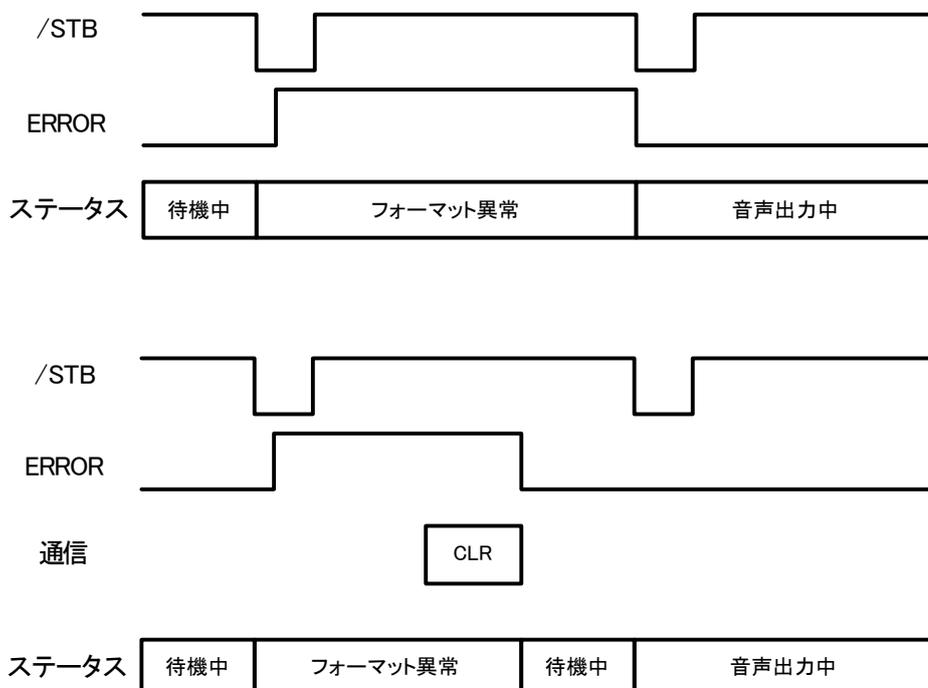
BUSY 出力は、音声出力中に HI レベルになります。



5.8 ERROR 出力

ERROR 出力は、選択された音声気記号列にフォーマット異常があると出力されます。

出力は、次の /STB 信号が入力されるか、通信による "CLR" コマンドの発行で解除されます。



5.9 EEPROM インターフェース (I2C-I/F)

外付けのシリアル EEPROM を用意することで、固定メッセージの記録及び再生が可能になります。

<メモリ仕様>

インターフェース形式 : I2C

メモリ型式 : AT24C64(ATMEL 社製) :Aバージョン

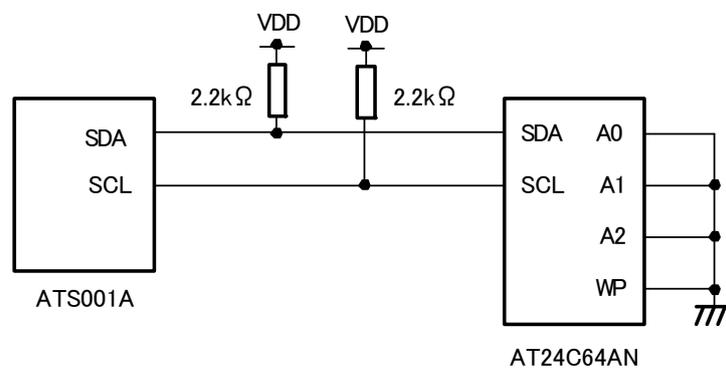
AT24C64 ~ AT24C512(ATMEL 社製):Bバージョン

保存データ量 : 1メッセージ当たり 256byte 固定 (ひらがな換算で 128 文字)

AT24C512 の場合、256 メッセージまで記録可能

※ データ記録エリアは、メッセージ長に関係なく 256byte 固定です。(ひらがなの場合は 128 文字)

※ サポートしている EEPROM の容量を超えて、Data No を指定しても音声再生はしません。



データ フォーマット

Data No.	フォーマット
1	メッセージ 1
2	メッセージ 2
⋮	⋮
4092	メッセージ 4092
4093	未対応
4094	未対応
4095	未対応
4096	未対応

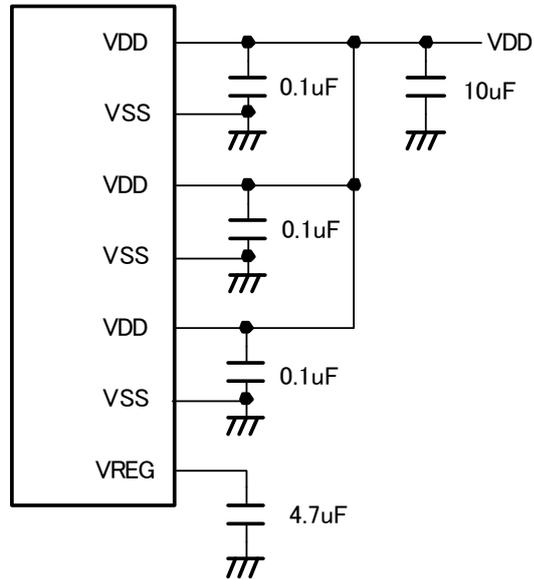
256byte 固定 (ひらがなの場合は 128 文字)

※ Aバージョンの場合、Data No.は 1~32 のみサポートしています。

それ以外の Data No.を指定するとエラーになりますので、ご注意ください。

5. 10 電源周辺回路

全ての VDD 端子に、下記容量の高周波特性に優れたコンデンサを配置してください。
また、VREG 端子には、 $4.7\mu\text{F}$ (推奨) のコンデンサを接続してください。

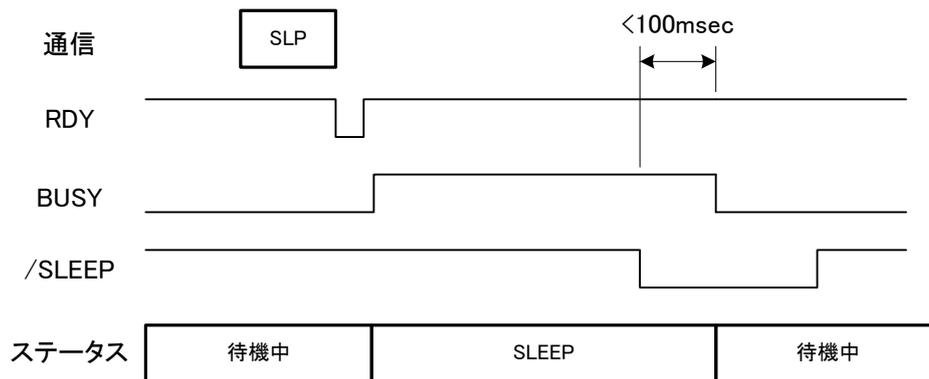


5.11 SLEEP 機能 (Bバージョンのみ)

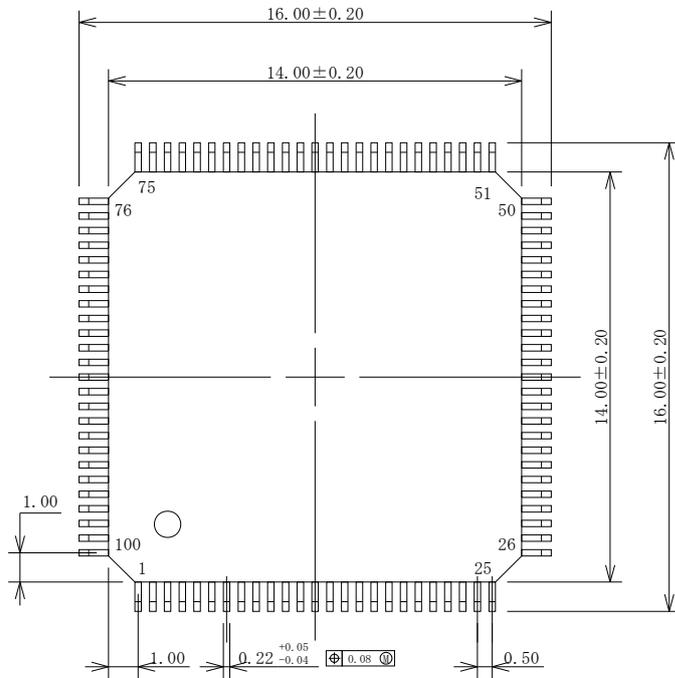
通信で SLEEP コマンドを送ると、ATS001B は SLEEP モードに移行します。内部 CLK 等は全て停止するため、消費電流は数十 μ A まで低下します。

SLEEP 状態から復旧する場合は、17 番 pin の /SLEEP 端子に LOW レベルを入力します。信号の立下りエッジのタイミングで再起動を行い、100msec 以内で通信コマンドの受付が可能になります。

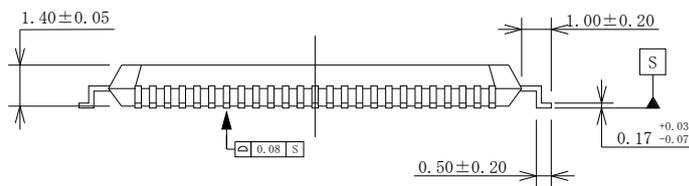
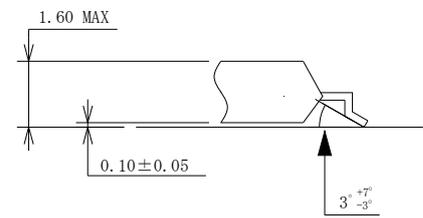
SLP 状態中は、RDY、BUSY 信号とも ON になります。



6. 外形寸法図



端子先端形状詳細図



取扱注意事項

1. 本製品はCMOSデバイスです。取り扱いの際は、静電気にご注意ください。
2. 電源投入の際は、原則として本LSIに電源を投入した後に外部回路の電源を投入してください。
また、切断の際は、その逆の手順で作業を行ってください。
外部回路の電源を先に投入すると、内部素子に過電圧が印加され、誤作動や内部素子を劣化させる場合があります。

ご注意

1. 本書に記載された内容は、将来予告なしに変更することがあります。したがって、ご使用の際には、その情報が最新版であることをご確認ください。
2. 設計においては、最大定格、電源電圧範囲など、製品の保証範囲内でお使いください。
3. 本製品を、直接人命に関わる装置やシステム(航空・宇宙機器、原子力制御、生命維持装置を含む医療機器など)には使用しないでください。

本製品に関するお問い合わせは、下記宛にお願い致します。

株式会社アクト・ブレイン 音声合成 LSI 担当

E-mail : act-admin@actbrain.jp

改版履歴

変更日	ページ	項目	変更内容
2007/10/12	P11	5.9 EEPROM インターフェース	対応 EEPROM の型番を変更 旧:AT24C64AN(生産中止品) 新:AT24C64CN
2007/10/25	P8	5.5 アシクロナス・シリアルインターフェイス(UARTA)	旧:通信コマンド仕様は、別紙「MICRO TALK コマンド仕様書」を参照してください。 新:通信コマンド仕様は、別冊「規則音声合成 LSI ATS001A シリアル通信仕様」を参照してください。
	P11	5.9 EEPROM インターフェース	対応 EEPROM の型式を変更 旧:AT24C64CN 新:AT24C64 ~ AT24C512
2007/11/06	P11	5.9 EEPROM インターフェース	対応 EEPROM の型式について、A バージョンと B バージョンの相違点を補足説明
2007/11/27	P1	2. ピン配置	B バージョン(2008 年 1 月末リリース予定)での 17 番ピン信号割り付けについて追記
	P3	3.2 電源関連 端子名 I.C.	
2007/11/28	P1	2. ピン配置	B バージョン(2008 年 1 月末リリース予定)での 17 番ピン信号の名称について、意味を明確にするため「低消費電流モード」から「SLEEP モード」に変更
	P3	3.2 電源関連 端子名 I.C.	
2007/11/29	P1 P3 P12	2. ピン配置 3.2 電源関連 端子名 I.C. EEPROM インターフェース	2008 年 1 月末リリース予定の製品名決定に伴い、従来 2A バージョンと表記していた部分を B バージョンに修正 製品名:ATS001B
2008/01/21	P1	2. ピン配置	リリース時期の訂正 旧) 2008 年 1 月末リリース 新) 2008 年 2 月中旬リリース ※ デバイス製造工程遅延により
	P3	3.2 電源関連 端子名 I.C.	
	P12	5.9 EEPROM インターフェース	
2008/02/12	P1	2. ピン配置	17 番 pin SLEEP 機能追加 (B バージョン)
	P3	3.2 電源関連 端子名 I.C.	
	P5	4.2 DC 特性	
	P13	5.9 EEPROM インターフェース 5.11 SLEEP 機能	
2008/08/04	P3	3.2 電源関連、その他	未使用のピン番号訂正
2009/05/07 Ver.1.13	P2	3.2 電源関連 端子名 I.C.	SEL→/SEL に修正 /SEL 端子に関する説明を追記
	P9,10	5.5、5.6	
2009/06/10 Ver.1.14	P2	2. ピン配置	誤記修正 (8pin TSET->TEST, 10P CAP->VREG)
2009/09/18 Ver.1.15	P12	5.7 RDY/BUSY 出力	遅延時間修正 50msec→60msec RESET 直後、RDY、BUSY が不定になる可能性を追記
	P15	5.11 SLEEP 機能	RDY、BUSY 信号の状態を修正
2006/09/28 Ver.1.16	P1	1.2 バージョンによる相違点	項目追加